

嵌入式LED智能玻璃显示屏控制系统设计

熊木地, 孙宇航, 郭俞君

引用本文:

熊木地, 孙宇航, 郭俞君. 嵌入式LED智能玻璃显示屏控制系统设计[J]. 液晶与显示, 2020, 35(11): 1150–1155.

XIONG Mu-di, SUN Yu-hang, GUO Yu-jun. Design of LED smart glass display and control system based on embedded system[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(11): 1150–1155.

在线阅读 View online: <https://doi.org/10.37188/YJYXS20203511.1150>

您可能感兴趣的其他文章

Articles you may be interested in

LED智能玻璃映射系统设计

Design of mapping software for LED smart glass display

液晶与显示. 2020, 35(10): 1019–1025 <https://doi.org/10.37188/YJYXS20203510.1019>

基于4G-LTE的脱机LED控制系统的设计

Design of off-line led control system based on 4G-LTE

液晶与显示. 2018, 33(1): 55–60 <https://doi.org/10.3788/YJYXS20183301.0055>

基于FPGA的LED屏控制器设计

Design of LED screen controller based on FPGA

液晶与显示. 2015(5): 838–843 <https://doi.org/10.3788/YJYXS20153005.0838>

基于IP核的多接口LCD控制器的设计及实现

Design and implementation of multi-interface LCD controller based on IP cores

液晶与显示. 2017, 32(2): 117–123 <https://doi.org/10.3788/YJYXS20173202.0117>

基于FPGA的视频与通讯数据融合设计

Composition design of communication data and video data based on FPGA

液晶与显示. 2015(6): 987–991 <https://doi.org/10.3788/YJYXS20153006.0987>

文章编号:1007-2780(2020)11-1150-06

嵌入式 LED 智能玻璃显示屏控制系统设计

熊木地*, 孙宇航, 郭俞君

(大连海事大学 信息科学技术学院, 辽宁 大连 116026)

摘要:传统的 LED 智能玻璃显示屏的控制系统需要以计算机作为视频源进行实时的视频输出,但在小规模场合中使用不够方便,因此本文设计了一种脱离实时视频源、便携的视频播放控制系统。该系统主要由视频输出单元和视频转发单元两部分组成,视频输出单元采用搭载操作系统的 CPU+FPGA 双核架构,CPU 通过 USB 接口对 U 盘中视频数据进行读取,通过在 CPU 特定内置 APP 中进行地址映射图绘制,生成地址映射数据,并将视频数据和映射数据发送至 FPGA, FPGA 对视频数据重新排序,通过光纤发送至视频转发单元,视频转发单元接收并选取其中一部分视频数据,反 Gamma 校正后发送至驱动系统实现对显示屏上 LED 的控制,采用多个视频转发单元级联方式驱动大规模 LED 智能玻璃显示屏。此系统给产品应用带来了方便,具有更广泛的应用范围。

关键词:LED 智能玻璃显示;CPU FPGA 双核;光纤通信;乒乓操作;系统级联

中图分类号:TP319 **文献标识码:**A **doi:**10.37188/YJYXS20203511.1150

Design of LED smart glass display and control system based on embedded system

XIONG Mu-di*, SUN Yu-hang, GUO Yu-jun

(*Information Science and Technology College,
Dalian Maritime University, Dalian 116026, China*)

Abstract: The traditional LED intelligent glass display control system needs a computer as the video source for real-time video output, but it is not convenient to use in small-scale occasions, so this paper designs a portable video playing control system which is separated from the real-time video source. The system is mainly composed of two parts: video output unit and video forwarding unit. Video output unit adopts CPU + FPGA dual core architecture based on operating system. The CPU reads the video data in the USB disk through the USB interface, draws the address mapping map in the specific built-in APP of CPU, generates the address mapping data, and sends the video data and mapping data to FPGA. FPGA reorders the video data and sends it to the video forwarding unit through optical fiber. The video forwarding unit receives and selects part of the video data. After anti Gamma correction, it is sent to the driving system to realize the control of LED on the display screen. Multiple video

收稿日期:2020-06-19;修订日期:2020-06-24.

基金项目:中央高校基本科研业务费专项基金(No.01770327);中国海事局科技专项基金(No.0716-13400003N008)

Supported by Special Fund for Basic Scientific Research Business Expenses of Central Universities(No. 01770327); Science and Technology Fund of China Maritime Safety Administration (No. 0716-13400003N008)

* 通信联系人,E-mail:Xiongmudi@qq.com

forwarding units are used to drive large-scale LED intelligent glass display screen in cascade. This system brings convenience to product application and has a wider range of application.

Key words: LED smart glass display; CPU FPGA dual core; optical fiber communication; ping pong operation; system cascade

1 引言

随着科技进步和娱乐方式的多样化,各类显示屏应运而生,人们对视频质量以及显示屏应用领域的需求也就越来越高。在种类繁多的显示屏产品中,发光二极管(LED)显示屏凭借着色域广、功耗低、寿命长的优势占据了显示屏市场的一大部分^[1]。LED 智能玻璃显示屏在具有传统 LED 显示屏特点的基础上,又具有良好的透明性以及建材特性,因此被广泛应用于户外大型展示项目,尤其适合于以大楼幕墙为载体或者作为地铁出口的玻璃幕墙等应用。但是,传统的 LED 智能玻璃显示屏的控制系统需要以计算机作为视频源进行实时的视频输出^[2-5],在小规模场合中使用不够方便,因此本文设计了一种脱离了独立视频源、便携的视频播放控制系统。

2 系统构成

本系统由视频输出单元和视频转发单元两部分组成。如图 1 所示,其中视频输出单元主要负责提供可视化操作界面以及将按照一定方式重新排序的视频数据通过光纤发送至视频转发单元,视频转发单元负责接收并选取其中一部分视频数据,再对这部分视频数据进行反 Gamma 校正后发送至驱动系统实现对 LED 智能玻璃显示屏的控制。由于 LED 驱动芯片的移位时钟频率限制了每个视频转发单元所能控制的 LED 数目,因此想实现大规模 LED 智能玻璃显示屏的控制需要多个视频转发单元,所以视频转发单元还需要将接收到的视频数据通过光纤转发至下一个视频转发单元,以视频转发单元级联的形式实现大规模 LED 智能玻璃显示屏的控制。

视频输出单元由中央处理器(CPU)和现场可编程门阵列(FPGA)两部分组成。其中 CPU 及其外围电路作为视频输出单元的主要核心,负责向用户提供可视化操作界面,实现文件存取,连

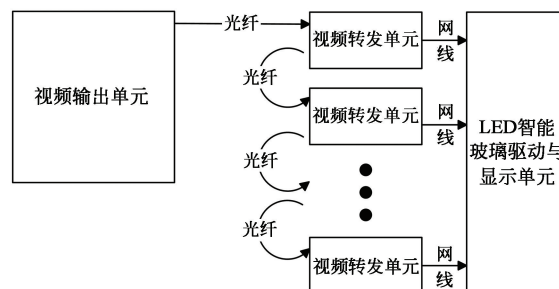


图 1 LED 智能玻璃显示系统

Fig.1 LED smart glass display system

接互联网,向 FPGA 发送地址码表,提供视频数据等功能^[6]。FPGA 及其外围电路作为辅助核心负责视频数据的重排序以及通过光纤向视频转发单元的传输。视频输出单元的整体工作流程如下:

CPU:预先烧写 Android 系统至外挂 EMMC 芯片中,提供完整操作系统,使用户可通过 HDMI 接口连接显示屏,USB 接口连接鼠标键盘以及 U 盘,实现视频文件存取,连接互联网等所需操作。用户通过特定内置 APP 绘制地址映射图,生成地址映射数据文件,并将地址映射文件中的数据发送至 FPGA 部分^[7]。同时 CPU 通过特定视频输出引脚将 RGB 数据、场同步信号以及随路时钟发送至 FPGA 部分。

FPGA:在 CPU 的控制下接收地址映射数据并将其分为两部分存入两片外挂 SSRAM 的后半部分地址中,地址映射数据存储完成后,将每一帧 RGB 视频数据以乒乓操作的方式在两片外挂 SSRAM 的前半部分地址中进行读写操作,并将读出的 RGB 视频数据通过光纤发送至视频转发单元。

视频转发单元以 FPGA 为核心,通过光纤接收视频输出单元发送的 RGB 视频数据并在其中截取自身控制的部分 LED 智能玻璃显示屏所对应的 RGB 视频数据,对其进行反 Gamma 校正后通过网线发送至驱动电路实现对 LED 智能玻璃显示屏的控制,同时将接收到的全部 RGB 视频数

据通过光纤发送至下一个视频转发单元。

3 详细设计

如图 2 所示,视频输出单元由 CPU 和 FPGA 两部分组成。CPU 部分由 CPU、EMMC、DDR、WIFI 以及电源管理模块组成。在此之中 CPU 选用瑞芯微电子的 RK3288 处理器,该处理器采用四核 Cortex-A17 架构,最高支持 4 K 10 bits H265/264 视频解码以及多路视频输出,可以保证在提供可视化操作界面的同时向 FPGA 部分发送 RGB 视频数据,以实现本系统所需功能^[8]。EMMC 以及 DDR 选用 KLMA11JETD-B041N 和 K4B4G1646E-BMMA 两款芯片,二者分别作为系统存储器以及系统缓存单元。WIFI 选择 AP6335 无线 WIFI 模块,用以实现系统所需的网络功能,电源管理模块以 ACT8846QM490-T 芯片为核心,该芯片被设计专用于 RK3288 系列芯片电源管理。

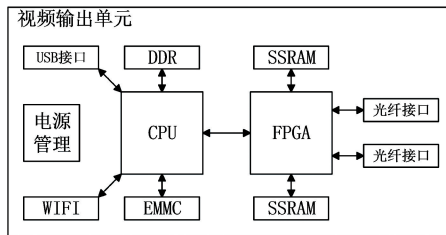


图 2 视频输出单元结构框图

Fig.2 Structure diagram of video output unit

FPGA 部分由 FPGA、SSRAM、光纤接口组成。在此之中,FPGA 选用 Xilinx 公司的 Spartan-6 系列的 XC6SLX45T FPGA 芯片,该芯片最大支持可达 3.2 Gbps 的高速串行收发器,可以满足本系统所需的光纤传输速率需求。SSRAM 选用 IS61LPS204836B-200TQLI,该芯片最多可存 72 Mb 数据,读写速率可达 200 MHz,能够满足本系统所需的 1 080 P 的视频数据读写要求。

在用户开机后,CPU 借由搭载的专用 Android5.1 操作系统共实现 3 部分功能。其一为持续通过专用引脚向 FPGA 发送 RGB 视频数据、随路时钟信号以及同步信号。其二为提供可操作图形界面以及操作系统。其三为通过内置 APP 按照实际 LED 智能玻璃显示屏走线绘制地址映射图生成相应地址映射文件,并将其存入 EMMC

中,之后拉高 CPU 与 FPGA 相连的使能引脚,通知 FPGA 接收地址映射数据。并按照 CPU 生成的写时钟信号向 FPGA 发送地址映射数据。当地址映射数据发送完成后,CPU 拉低使能引脚,通知 FPGA 地址映射数据发送完毕。该操作需进行两次,分别发送地址映射数据的前后两部分。

FPGA 部分从功能上可以分为地址映射数据接收模块、视频数据接收以及地址映射模块、光纤发送模块 4 个模块。

地址映射数据接收模块在系统上电后等待 CPU 的使能信号,当使能信号被拉高时,通过 FIFO 将地址映射数据的前后两部分按照地址自增的方式分别存入外挂 SSRAM_B 以及 SSRAM_A 的后半部分存储空间中。

视频数据接收以及地址映射模块在 FPGA 上电后就开始在 CPU 所发送的随路时钟信号以及同步信号的控制下将视频数据以地址自增的方式存入外挂 SSRAM 中,由于本系统采用的是 1 920×1 080 的视频输出分辨率,因此通过对行同步信号的计数可将视频数据均分为两部分,分别存入 SSRAM_A 以及 SSRAM_B 中。在实际运行过程中,为了保证视频帧数不减半,在视频数据接收以及地址映射操作过程中采用乒乓操作的方式^[9-10]。

光纤发送模块通过将 Aurora_8b10b IP 核配置为单工发送模式,将地址映射操作完成并经过了 FIFO 的 RGB 视频数据通过光纤发送至视频转发单元。由于本系统使用的单工 Aurora_8b10b IP 核的初始化以定时模式实现,因此整体光纤通讯系统的上电顺序必须为接收端在前,发送端在后,无法实现光纤的热插拔,在实际应用中较为不便。为解决此问题,在光纤发送模块每完整发送 20 帧视频数据后,Aurora_8b10b 单工发送模块会进行一次复位重启,使光纤通道可以重新建立,实现光纤的热插拔,并去除上电顺序对光纤系统的影响。由于每次 Aurora_8b10b 单工发送模块的重启均在视频场消隐过程中进行,故不会对视频显示效果造成影响。

如图 3 所示,视频转发单元以 FPGA 为核心,FPGA 芯片同样选用 Xilinx 公司的 Spartan-6 系列的 XC6SLX45T FPGA 芯片。视频转发单元在功能上可分为光纤模块、数据选取以及处理模块、数据发送模块 3 部分。其中光纤模块为修改过的 Aurora_8b10b IP 核,通过修改 Aurora_

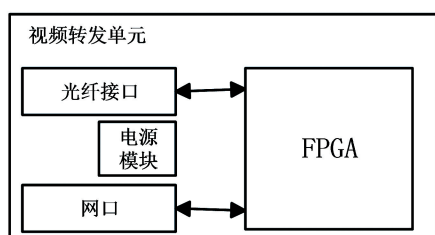


图 3 视频转发单元结构框图

Fig.3 Structure diagram of video forwarding unit

8b10b IP 核的程序,使其可以同时作为接收端和发送端分别与两个不同的对象建立光纤通道,实现视频转发单元之间的光纤级联^[11-12]。系统上电后,光纤模块先接收由上一级通过光纤发送的 RGB 视频数据,并将数据选取以及处理模块处理后的 RGB 视频数据通过光纤发送至下一级。数据选取以及处理模块先将光纤接收到的数据通过简单双口 RAM 去除其中的无效数据,之后通过对大小固定的另一个双口 RAM 进行写操作来将 RGB 视频数据分组。具体为设置一个初始值为 0 的寄存器,每次双口 RAM 写满后会对该寄存器进行加一操作并从地址零开始继续写入下一部分数据,直至寄存器的值与板载拨码开关所设置的数值一致,便停止写入 RGB 视频数据,并对此此时双口 RAM 中的数据进行反伽马校正处理^[13-14]。数据发送模块将反伽马校正后的数据进行并转串处理,生成与驱动电路匹配的时钟后发送至驱动电路,实现 LED 智能玻璃显示屏的控制。

4 乒乓操作

为保证最终系统输出视频不存在丢帧现象,在地址映射过程中需要进行乒乓操作,具体流程如下。FPGA 首先需自己生成双倍于随路时钟频率的时钟 CLK_PP1 以及 CLK_PP2,在地址映射数据存储完成后,首先以 CLK_PP1 的奇数周期作为写时钟将第一部分 RGB 视频数据存入 SSRAM_A 的前半部分空间中,在这部分 RGB 视频数据存储完成后,同样利用 CLK_PP2 的奇数周期将 RGB 视频数据的后半部分数据存入 SSRAM_B 的同时利用 CLK_PP2 的偶数周期作为读时钟以地址自增的方式读出地址映射数据,并以该数据为读地址利用 CLK_PP1 的偶数周期从 SSRAM_A 中读出视频数据,完成地址映射。

再之后 SSRAM_A 以 CLK_PP1 的奇数周期为写时钟写入视频数据,以 CLK_PP1 的偶数周期为读时钟读出地址映射数据并操作 SSRAM_B 完成地址映射操作,之后重复上述过程。

5 系统展示与演示

嵌入式视频播放控制系统连线图如图 4 所示。

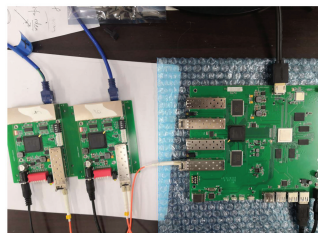


图 4 嵌入式视频播放控制系统连线图

Fig.4 Wiring diagram of embedded video playback control system

嵌入式播放控制系统视频映射调试如图 5 所示,映射调试采用行列扫描方式,通过观察行列像素点位置,判断映射结果是否准确,经实际测试,无像素点错位现象。

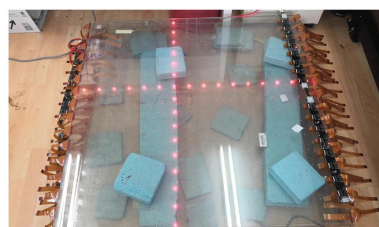


图 5 嵌入式播放控制系统视频映射调试图

Fig. 5 Video mapping debugging diagram of embedded playback control system

LED 智能玻璃显示效果 6 所示。

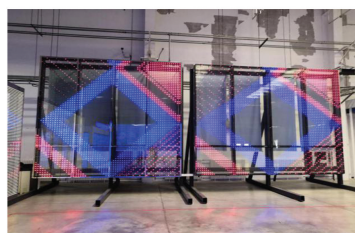


图 6 LED 智能玻璃显示屏显示效果图

Fig. 6 Display effect diagram of LED intelligent glass display screen

6 结 论

本文介绍了一种基于嵌入式系统的 LED 智能玻璃显示控制系统,采用搭载操作系统的 CPU+FPGA 双核架构。CPU 通过 USB 接口对 U 盘中视频数据进行读取,通过在 CPU 特定内置 APP 中进行地址映射图绘制,生成地址映射数据,并将

视频数据和映射数据发送至 FPGA。FPGA 对视频数据重新排序,通过光纤发送至视频转发单元,视频转发单元接收视频数据选取其中一部分视频数据,反伽马校正后发送至驱动系统实现对 LED 智能玻璃显示屏的控制,采用多个视频转发单元级联方式驱动大规模 LED 智能玻璃显示屏。此系统给产品应用带来了方便,具有更广泛的应用范围。

参 考 文 献:

- [1] 高敏. LED 显示屏发展综述[J]. 电子制作, 2015(8):107.
GAO M. Development of LED display [J]. *Practical Electronics*, 2015(8): 107. (in Chinese)
- [2] 林健源. 室外 LED 显示屏的选择及安装问题研究[J]. 中国设备工程, 2020(12):199-200.
LIN J Y. Selection and installation of outdoor LED display [J]. *China Plant Engineering*, 2020(12): 199-200. (in Chinese)
- [3] 景润东. 基于 FPGA 的 LED 大屏幕同步控制系统的设计[D]. 南京:东南大学, 2019.
JING R D. Design of synchronous control system for large LED screen based on FPGA [D]. Nanjing: Southeast University, 2019. (in Chinese)
- [4] LU D P. Design of LED dot matrix hand writing display screen [C]//*Proceedings of the 2017 5th International Conference on Machinery, Materials and Computing Technology (ICMMCT 2017)*. Atlantis Press, 2017.
- [5] 隋志坤. 基于 ARM 和 FPGA 的 LED 智能玻璃显示系统研究[D]. 大连:大连海事大学, 2017.
SUI Z K. The research of LED smart glass display system based on ARM and FPGA [D]. Dalian: Dalian Maritime University, 2017. (in Chinese)
- [6] 徐士强. 基于 ARM9 的嵌入式 Linux 系统的研究与应用[D]. 南京:南京邮电大学, 2012.
XU S Q. Research and application of embedded Linux system based on ARM9 [D]. Nanjing: Nanjing University of Posts and Telecommunications, 2012. (in Chinese)
- [7] 公磊,周聪. 基于 Android 的移动终端应用程序开发与研究[J]. 计算机与现代化, 2008(8):85-89.
GONG L, ZHOU C. Development and research of mobile termination application based on Android [J]. *Computer and Modernization*, 2008(8): 85-89. (in Chinese)
- [8] DYING. 深挖四核潜力瑞芯微 RK3288 浅析[J]. 电脑迷, 2014(12):24.
DYING. Deep exploration of four core potential of Ruixin micro RK3288 [J]. *PC Fan*, 2014(12): 24. (in Chinese)
- [9] ZAWADZKI P. An improved control mode for the ping-pong protocol operation in imperfect quantum channels [J]. *Quantum Information Processing*, 2015, 14(7): 2589-2598.
- [10] 郑争兵. 基于 FPGA 的高速采样缓存系统的设计与实现[J]. 计算机应用, 2012, 32(11):3259-3261.
ZHENG Z B. Design and implementation of high-speed sampling buffer system based on FPGA [J]. *Journal of Computer Applications*, 2012, 32(11): 3259-3261. (in Chinese)
- [11] 吴志诚. 基于光纤传输的 LED 智能玻璃显示系统研究[D]. 大连:大连海事大学, 2018.
WU Z C. The research of LED smart glass display system based on optical fiber transmission [D]. Dalian: Dalian Maritime University, 2018. (in Chinese)
- [12] 熊木地,范婷,刘盼,等. 基于 FPGA 的 SFP 级联视频传输系统设计[J]. 光通信技术, 2019, 43(7):25-30.
XIONG M D, FAN T, LIU P, *et al.* Design of SFP cascaded video transmission system based on FPGA [J]. *Optical Communication Technology*, 2019, 43(7): 25-30. (in Chinese)
- [13] 胡钰,李甜甜,黄梁松,等. 基于双边伽马校正的保亮度图像增强方法[J]. 计算机应用与软件, 2019, 36(5):204-210, 241.
HU Y, LI T T, HUANG L S, *et al.* Brightness preserving image enhancement method based on bilateral gamma

- correction [J]. *Computer Applications and Software*, 2019, 36(5): 204-210, 241. (in Chinese)
- [14] 彭国福,林正浩. 图像处理中 GAMMA 校正的研究和实现[J]. 电子工程师,2006,32(2):30-32,36.
PENG G F, LIN Z H. A study on gamma correction and its implementation in image processing [J]. *Electronic Engineer*, 2006, 32(2): 30-32, 36. (in Chinese)

作者简介:



熊木地(1970—),男,四川巴中人,博士,教授,2000 年于中国科学院长春光学精密机械与物理研究所获得博士学位,主要从事光电检测方面的研究 E-mail:xiongmudi@qq.com